

6.W2266-01

ANISOTROPIC SHEET AND WIRING BOARD

Publication number: JP9160064

Publication date: 1997-06-20

Inventor: KIZAKI YUKIO; UCHIDA TATSUAKI; IIDA ATSUKO;
SHIMIZU SEISABURO; MAJIMA YUTAKA

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: **G03F7/075; G02F1/1345; H01L21/60; H05K1/14;**
H05K3/20; H05K3/34; G03F7/075; G02F1/13;
H01L21/02; H05K1/14; H05K3/20; H05K3/34; (IPC1-7):
G03F7/075; H01L21/321; G02F1/1345; H05K1/14

- european:

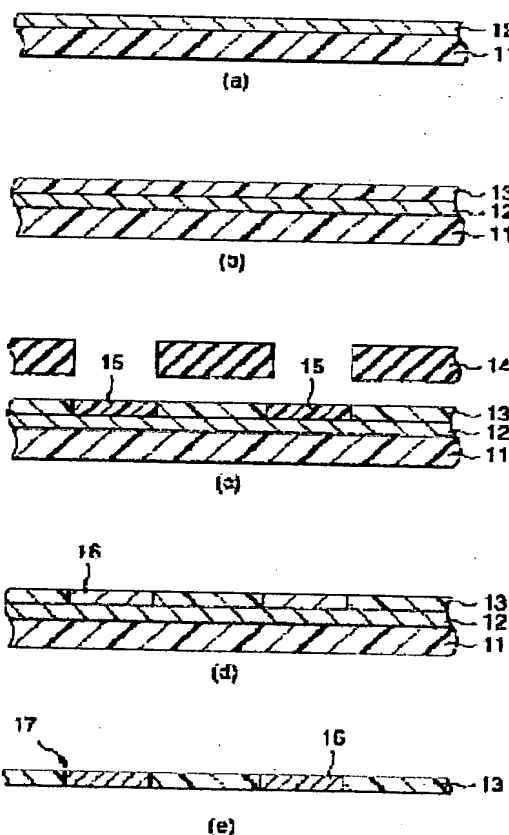
Application number: JP19950316512 19951205

Priority number(s): JP19950316512 19951205

Report a data error here

Abstract of JP9160064

PROBLEM TO BE SOLVED: To accurately mount a semiconductor element on a substrate with a high reliability by providing a penetration area containing at least one side of a polysilane part and a polysiloxane part and different in at least one characteristic of electric characteristic and magnetical characteristic. **SOLUTION:** Only the exposed part of a polysilane film 13 is selectively changed to a porous polysiloxane film 15 by executing exposure by UV rays by interposing a mask 14. In this case, the polysiloxane film 15 is formed on the polysilane film 13 in accordance with an electrode of the semiconductor element. After that, only the polysiloxane part 15 having a porous function is selectively plated by executing an electroplating of a solder being a conductive material by using a copper film 12 formed on a polyester film 11 as a plating electrode. As the result, the polysiloxane film 16 on which the solder is doped is formed at an exposed area in accordance with a size and a pitch of the electrode of the semiconductor. In this way, a desired characteristic is imparted to the polysilane film 13 with a fine pitch.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-160064

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1345			G 0 2 F 1/1345	
H 0 5 K 1/14			H 0 5 K 1/14	J
// G 0 3 F 7/075	5 1 1		G 0 3 F 7/075	5 1 1
H 0 1 L 21/321			H 0 1 L 21/92	6 2 1 Z

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号 特願平7-316512

(22) 出願日 平成7年(1995)12月5日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 木崎 幸男

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 内田 竜朗

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 飯田 敦子

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74) 代理人 弁理士 鈴江 武彦

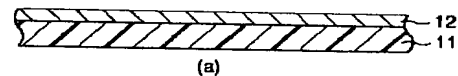
最終頁に続く

(54) 【発明の名称】 異方性シートおよび配線基板

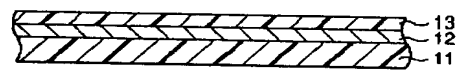
(57) 【要約】

【課題】 高い信頼性をもって半導体素子を基板上に精度よく実装するための異方性シートを提供する。

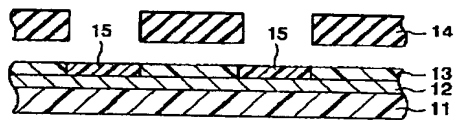
【解決手段】 ポリシラン部分及びポリシロキサン部分の少なくとも一方を含み、電気的特性及び磁気的特性の少なくとも1つの特性が異なる貫通領域を有することを特徴とする。



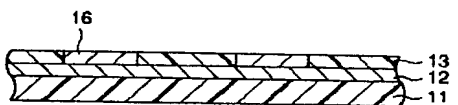
(a)



(b)



(c)



(d)



(e)

【特許請求の範囲】

【請求項1】 ポリシラン部分およびポリシロキサン部分の少なくとも一方を含み、電気的特性および磁気的特性の少なくとも1つの特性が異なる貫通領域を有することを特徴とする異方性シート。

【請求項2】 ポリシラン部分およびポリシロキサン部分の少なくとも一方を含むシート状部材と、このシート状部材に形成された配線、コンデンサ素子、抵抗体素子あるいは磁性体素子とを有する配線基板であって、前記配線は、前記ポリシロキサン部分に導電体材料を含浸させることによって形成され、前記コンデンサ素子は、前記ポリシロキサン部分に誘電体材料を含浸させることによって形成され、前記抵抗体素子は、前記ポリシロキサン部分に抵抗体材料を含浸させることによって形成され、前記磁性体素子は、前記ポリシロキサン部分に磁性体材料を含浸させることによって形成されたことを特徴とする配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、異方性シートに係り、特に、基板上に形成された電極と、この基板に実装されるIC等の電子部品の微細な電極、または基板に実装されるフレキシブル基板等の基板上の微細な電極とを電気的に接続するための電極接続用シートに関する。また、本発明は、コンデンサ素子や抵抗体素子、および磁性体素子などを組み込んだ機能素子一体型の回路基板に関する。

【0002】

【従来の技術】近年、半導体装置をより薄く、より高密度に実装する方法として、配線基板上に半導体素子を固着搭載し、ワイヤを用いて電気的接続を行なういわゆるワイヤボンディング実装に代わって、半導体素子にバンパを形成して直接基板に接続し実装する技術が開発されてきている。その一例として、加圧方向にのみ導電性を示す異方性導電材料を介して、基板上に形成された微細な電極パターンと電子部品の電極とを接続する方法が挙げられる。このような実装方法においては、図16に示すように、配線121が形成されたガラス基板120と、電極124を介してはんだバンパ125が形成された半導体素子123との間には、導電性粒子127を分散させた接着剤126が配置される。なお、この導電性粒子127は、プラスチック等からなる絶縁粒子の表面に、導電性を有する金属が被覆されたものである。このように導電性粒子が分散された接着剤を、基板120の配線121と半導体素子123に形成されたバンパ125との間に挟んで加圧することによって、加圧方向にのみ導電性が付与される。

【0003】このような接続方法は、液晶表示装置にも用いられるものの、最近では、液晶画素部の高精細化に伴う電極パターンの狭ピッチ化に対応しきれなくなりつ

つある。すなわち、隣接する電極パターンのピッチが狭くなると、基板と半導体素子との間に配置された接着剤中に分散された導電粒子同士が、横方向で接触しやすくなる。このような導電性粒子の接触に起因して、隣接する電極間で短絡が発生することがあった。短絡を防止するためには、前述の導電粒子の表面に、さらに絶縁材料の被覆を形成することなどの手法が提案されているが、この場合には、粒子コストが増加してしまう。

【0004】また、液晶表示装置に用いられる駆動回路は、図17に模式的に示すように、プリント基板130上にコンデンサ素子131や抵抗体素子132などを組み込むことによって構成されており、このプリント基板は、TAB (tape automated bonding) 等のフレキシブル配線基板135によって、液晶パネル基板136に接続されていた。すなわち、表示領域137が形成された液晶パネル基板136と、駆動回路部であるプリント基板130とを別個の工程で作製した後、フレキシブル配線基板135によってこれらを接続しなければならず、液晶表示装置の高密度実装化が図りにくいという問題を有していた。

【0005】なお、バンパを用いて半導体素子を基板上に直接実装する他の方法として、フェイスダウン実装技術が挙げられる。このフェイスダウン実装は、用途に応じて様々な接続材料、実装方式が提案されており、例えば、スーパーコンピュータなどには、はんだバンパを用いたフリップチップ技術が適用され、液晶ディスプレイなどにはCOG (Chip on glass) が用いられている。はんだバンパを用いたフリップチップ技術においては、はんだを溶融させて接続するので、はんだの表面張力による位置合わせ (セルフアライン) 機構が生じ、ボンダの精度が荒くても半導体素子を正確に接続することが可能である。

【0006】一方、COG実装の一手法として、図18に示すように、半導体素子142に形成された低融点で硬度の低いはんだバンパ143を基板140の配線141に圧接することによって初期接続を行なう技術も提案されている (特開平3-108734)。このような方法では、前述のようなセルフアライン機構が生じないので、はんだバンパの場合よりも、より厳密なボンダの位置合わせ精度が要求されている。

【0007】

【発明が解決しようとする課題】半導体素子を基板上に実装するに当たって、半導体素子表面に形成されたはんだバンパと、基板との間に導電性粒子を介在させることによって電気的異方性を付与する方法においては、粒子の大きさ、および粒子の分散状態に制約がある。一般に、粒子の大きさは直径3~10 μ mであり、このサイズより小さいサブミクロンオーダーの粒子は作製されていない。導電性粒子は、粒子同士が互いに接触し合わないよう絶縁性接着剤中に分散させなければならない

が、隣接する電極間のピッチが微細になるにしたがって、粒子の分散状態を制御することが困難となる。さらに、この導電性粒子を分散させた絶縁性接着剤を介在させてICなどの電子部品を接合させる際には、温度、荷重、および時間等の条件を考慮しなければならない。特に、荷重は、粒子の潰れ量に大きく影響を及ぼすものの、隣接する電極間の短絡が生じないように制御することもまた、狭ピッチ接続ほど困難になる。

【0008】以上述べた理由から、 $30\mu\text{m}$ 以下の微細なピッチで半導体素子に形成された電極を、従来のような異方性導電材料を介在させる方法によって基板に接続した場合には、隣接する電極間で短絡が発生してしまい、その電気的異方性には限界があった。

【0009】また、駆動回路に関しても、従来技術ではコンデンサ素子や抵抗体素子、および磁性体素子などを組み込んだプリント基板を用意し、フレキシブル配線基板等を用いて液晶パネル基板に接続するため、液晶表示装置の高密度実装化が図りにくいという欠点を有していた。

【0010】一方、はんだバンプによって半導体素子を基板上の配線パターンに直接実装する際には、セルフアライメントが生じない場合、位置合わせ精度が荒いボンダを用いても十分な精度で接続を行なうことが難しい。それにもかかわらず、このような接続方法は未だ得られていない。

【0011】そこで、本発明は、高い信頼性をもって半導体素子を基板上に精度よく実装するための異方性シートを提供することを目的とする。また、本発明は、液晶表示装置の高密度実装を可能とする回路基板を提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明は、ポリシラン部分およびポリシロキサン部分の少なくとも一方を含み、電気的特性および磁気的特性の少なくとも1つの特性が異なる貫通領域を有することを特徴とする異方性シートを提供する。

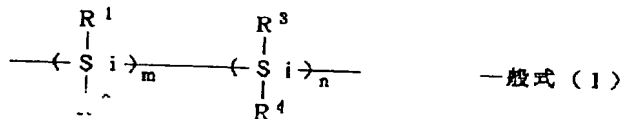
【0013】また、本発明は、ポリシラン部分およびポリシロキサン部分の少なくとも一方を含むシート状部材と、このシート状部材に形成された配線、コンデンサ素子、抵抗体素子あるいは磁性体素子とを有する配線基板であって、前記配線は、前記ポリシロキサン部分に導電体材料を含浸させることによって形成され、前記コンデンサ素子は、前記ポリシロキサン部分に誘電体材料を含浸させることによって形成され、前記抵抗体素子は、前記ポリシロキサン部分に抵抗体材料を含浸させることによって形成され、前記磁性体素子は、前記ポリシロキサン部分に磁性体材料を含浸させることによって形成されたことを特徴とする配線基板を提供する。

【0014】以下、本発明を詳細に説明する。本発明においては、ポリシロキサンの前駆体としてポリシランを

使用する。このポリシランはSi-Si結合を有しており、紫外線を照射することによってそのSi-Si結合が切れてSi-OH結合、またはSi-O-Si結合が生じる。その結果、紫外線が照射された領域のポリシランは、多孔性物質であるポリシロキサンに変化し、この多孔性領域に、所定の材料をドーピングすることによって所望の特性を付与することができる。例えば、導電材料をドーピングした場合には、露光箇所のみを選択的に導電体にすることが可能であり、強磁性体材料をドーピングした場合には、この露光箇所のみを選択的に強磁性体にすることができる。また、本発明の異方性シートは、露光の際に紫外線が照射されなかった未露光部にポリシラン膜が存在しているので、封止樹脂としての機能も有する。したがって、半導体素子を基板上に実装すると同時に、半導体素子と基板との接続部の封止を行なうことが可能である。本発明において用いられるポリシランとしては、下記化1に示す一般式(1)で表わされる化合物が挙げられる。

【0015】

【化1】

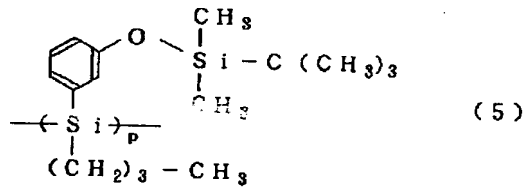
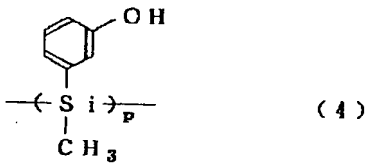
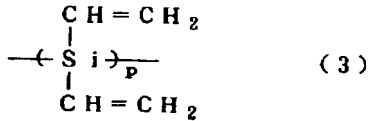
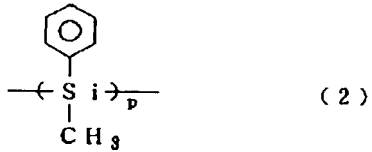


【0016】上記一般式(1)中、 R^1 、 R^3 および R^4 は、置換または未置換の脂肪族基、芳香族基、脂環式炭化水素残基、芳香族炭化水素残基および水素からなる群から、それぞれ独立して選択される基であり、 m および n は整数である。

【0017】具体的には、下記化2および3に示す式(2)～(9)で表わされる化合物が挙げられる。これらの化合物のなかで、式(3)で表わされる化合物は、ビニル基が導入されているので、重合開始剤を用いて付加重合を行なうことが可能である。

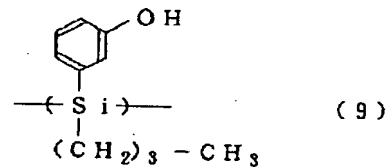
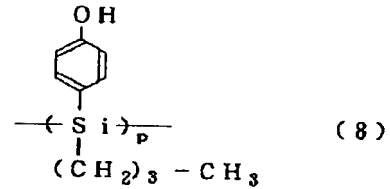
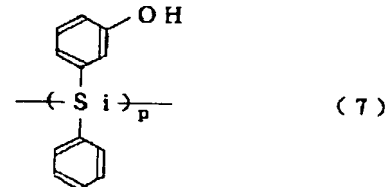
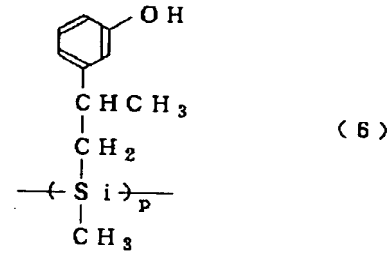
【0018】

【化2】



【0019】

【化3】



【0020】ポリシラン膜の形成に当たっては、まず、前述のようなポリシランを、有機溶剤に溶解してスピンコート法などを用いて適切な基材上に塗布する。溶剤としては、例えば、ベンゼン、トルエン、四塩化炭素等を使用することができる。次いで、乾燥させることによって溶媒を蒸発除去し、2～20 μm 程度のポリシラン膜を形成する。

【0021】続いて、所定のマスクを介して、320～450nmの波長を有する紫外線をポリシラン膜に照射することによって露光処理を施す。この際、照射量は1～10J/cm²程度とすることが好ましく、これによって、露光部が選択的に多孔質のポリシロキサンに変化する。

【0022】この露光部には、後述する種々の方法によって導電性材料、および磁性体等をドーピングして、所望の特性を付与することができる。例えば、露光部に導電材料をドーピングすることによって、回路基板上の配線と半導体素子の電極とを接続するための接合部を形成することができる。

【0023】特に、本発明の異方性シートは、ポリシラン膜の露光箇所だけを選択的に導体にすることができるので、マスクの開口部のサイズを選択することによ

て、所望のピッチで、ポリシラン膜に導電性を付与することができる。したがって、 $30\mu\text{m}$ 以下のような微細なピッチで電極が形成された半導体素子を、精度よく基板上の配線に接続することが可能となる。一方、電極ピッチが $30\mu\text{m}$ 以上の場合の接続においても、従来の異方性導電材料で用いられるような粒子に対する絶縁等の処理を用いていないので、大幅なコスト削減につながる。

【0024】本発明の異方性シートに導電材料をドーパした場合には、半導体素子の電極に対応する領域のみに選択的に導電性を付与し、それ以外の領域はポリシランによって構成される異方性導電シートを得ることができる。このような本発明の異方性導電シートを用いて半導体素子と基板との接続を行なう場合には、半導体素子上にバンパを形成する必要はなく、また、接続の際にはポリシランによって接続部の封止も同時に行なわれることになる。したがって、バンパ形成の工程や、接続部を樹脂封止するための別個の工程を必要とせず、工程数を低減して、コストの削減につながる。

【0025】次に、本発明の異方性シートは、露光によって得られたポリシロキサン膜にドーパする材料を選択することによって、電気的異方性機能を有する接合部のみならず、駆動回路そのものも本発明の異方性シートによって形成することが可能である。例えば、ドーピングする材料として誘電体材料を使用することによって露光領域にコンデンサ素子を形成することができ、抵抗体をドーパすることによって、露光領域には抵抗体素子が形成される。このように、予め設計されたとおりに各材料をポリシロキサン部分にドーパすることによって、駆動回路を形成することができる。

【0026】したがって、本発明の異方性シートを用いることによって、駆動回路一体型表示装置などの電子回路基板を作製することが可能となり、工程削減、コストの減少が可能となる。また、高密度実装技術に不可欠な回路基板の小型化を図ることが容易となる。

【0027】

【発明の実施の形態】以下、図面を参照して、本発明をより詳細に説明する。

(実施例1) 図1は、本発明の第1の実施例に関わる異方性シートの製造工程を示す断面図である。

【0028】図1(a)に示すように、まず、ポリエステルフィルム11上に銅膜12を約 $0.1\sim 1\mu\text{m}$ の膜厚で形成しておく。次に、図1(b)に示すように、銅膜12の上に、スピナー等を用いて $2\sim 20\mu\text{m}$ の膜厚で前述の式(2)で表わされるポリシランのトルエン溶液を塗布してポリシラン膜13を形成する。

【0029】続いて、図1(c)に示すように、マスク14を介して露光機により紫外線による露光(露光量： $5\text{J}/\text{cm}^2$ 程度)を行なうことによって、ポリシラン膜13の露光部のみを、多孔質のポリシロキサン膜15

に選択的に変化させる。なお、ここで用いられる露光マスク14は、実装される半導体素子の電極の大きさおよびピッチに対応するような開口部が形成されたものである。したがって、ポリシラン膜13には、半導体素子の電極に対応して、ポリシロキサン膜15が形成される。

【0030】その後、ポリエステルフィルム11上に形成された銅膜12をメッキ電極として用いて、導体材料であるはんだの電気メッキを行なうことによって、多孔性機能を有するポリシロキサン部分15のみに選択的にメッキを施す。なお、導体材料としては、金、銅または融点の低いインジウム等の金属を使用することもできる。その結果、図1(d)に示すように、はんだがドーピングされたポリシロキサン膜16が、半導体素子の電極の大きさおよびピッチに対応して露光領域に形成される。

【0031】最後に、ポリエステルフィルム11および銅膜12を剥離して、図1(e)に示すような本発明の異方性導電シート17が得られる。なお、ポリエステルフィルム11は、機械的に剥離することができ、銅膜12は、エッチング法により除去することができる。

【0032】得られた異方性導電シートを用いて、以下の工程で、半導体素子と回路基板とに接続することができる。図2を参照して、実装工程の一例を説明する。

【0033】まず、図2(a)に示すように、半導体素子21と、回路基板23との間に異方性導電シート17を配置する。なお、ここで用いられる半導体素子21は、アルミニウムのパッド電極22が裏面に形成されており、バンパなどの突起電極は形成されていない。なお、パッド電極は $10\mu\text{m}$ の微細なピッチで形成されている。

【0034】異方性導電シート17には、半導体素子のパッド電極22に対応して $10\mu\text{m}$ のピッチで導電体がドーパされた領域15が形成されている。一方、回路基板23としては、セラミックス基板上に銅配線24が形成された基板を用いることができる。なお、銅配線24は、基板上にスパッタ法によって銅膜を $0.3\mu\text{m}$ 程度の膜厚で成膜した後、フォトリソグラフィー技術を用いてパターニングすることによって形成した。

【0035】このような半導体素子21と回路基板23との間に、前述の異方性導電シート17を位置合わせして配置し、加熱圧着することによって図2(b)に示すような半導体装置が得られる。なお、半導体素子と基板との接合は、導体の種類に応じて選択することができる。例えば、導体がはんだの場合には液相反応(溶融)し、金の場合には固相反応(熱圧着)等の方法が用いられる。

【0036】上述のようにして異方性導電シートを用いて半導体素子と基板とを接合したところ、接合時に隣接電極間の短絡はなく、安定な接続が得られた。以上、第1の実施例では、本発明の異方性導電シートを用いて半

導体素子の微細な電極と、回路基板上の配線とを電氣的に接続するための方法を説明したが、本発明の異方性シートは、これに限定されるものではない。すなわち、本発明の異方性導電シートは、チップ部品等の半導体素子以外の電子部品を基板上に実装する際にも適用することができる。また、回路基板に実装するフレキシブル基板等の基板上的微細な電極と、回路基板上の配線とを電氣的に接続することにも応用できる。さらに、裏面にランドグリッドアレー等の接続電極を有するモジュール基板とマザーボード回路基板上の配線とを電氣的に接続することにも応用可能である。

【実施例2】本発明の異方性シートは、独立のシートとして形成するのみならず、半導体ウェハの電極が形成されている面に直接形成することもできる。図3に、本発明の第2の実施例にかかる異方性導電シートの製造工程を表わす断面図を示す。

【0037】まず、図3(a)に示すように、半導体ウェハ31上に電極32を形成しておく。パッド電極32の大きさは20〜50 μ m角程度とすることができ、そのピッチは20〜40 μ m程度とすることができる。

【0038】次に、図3(b)に示すように、半導体ウェハ31の電極32を有する面に、スピナー等を用いて、前述の式(2)で表わされるポリシランのトルエン溶液を塗布して、2〜20 μ mの膜厚のポリシラン膜33を形成する。さらに、このポリシラン膜33の上には、透明導電膜34をゾルゲル法等のプロセスにより0.3〜1 μ m程度の膜厚で成膜する。透明導電膜34としては、例えば、ITOを使用することができる。

【0039】続いて、図3(c)に示すように、マスク35を介して、例えば5J/cm²程度の露光量で紫外線による露光を行ない、ポリシラン膜33の露光部のみを多孔性物質であるポリシロキサン膜36に選択的に変化させる。なお、ここで用いられる露光マスク35は、予めウェハ上に形成されたパッド電極32に対応する大きさおよびピッチに対応するような開口部が形成されたものである。したがって、ポリシラン膜33には、半導体ウェハの電極32に対応してポリシロキサン膜36が形成される。

【0040】その後、80〜120℃でアニールを行なうことによって、多孔性機能を有するポリシロキサン部分36のみに選択的にITOがドーピングされ、図3

(d)に示すように、露光部である半導体ウェハのパッド電極32上の領域に、ドーピングされたポリシロキサン膜37が形成される。

【0041】しかる後、表面に形成されたITO膜34をエッチング法により除去することによって、図3

(e)に示すような異方性導電シートが形成され半導体ウェハ38が得られる。

【0042】この半導体ウェハ38をダイシングして得られた半導体素子は、以下のようにして基板に実装す

ることができる。図4を参照して、実装工程の一例を説明する。

【0043】まず、図4(a)に示すように、異方性導電シートが形成された半導体素子41と、配線が形成されたガラス基板43とを容易する。ここで用いられる半導体素子41は、前述の図3に示す工程にしたがって得られた半導体ウェハを5mm角にダイシングして得られたものであり、20 μ mのピッチでパッド電極32が形成されている。

【0044】一方、ガラス基板43としては、モリブデン／アルミニウムの積層構造の配線44が形成された基板を用いた。なお、この基板は、周囲に液晶セル、TFTアレイ、偏光板、およびカラーフィルター等を具備した液晶表示装置を構成するために用いられるものである。

【0045】モリブデン／アルミニウム配線44は、基板上に、アルミニウム膜およびモリブデン膜を、それぞれ50nm、および400nmの膜厚でスパッタ法によって堆積した後、パターニングすることによって形成した。

【0046】半導体素子と基板との接合に当たっては、半導体素子41側を200℃に加熱するとともに、ガラス基板を60℃に加熱し、1電極当たり50gの荷重をかけながら15秒間圧接することによって一度に全てのパッドを接続した。

【0047】その結果、隣接する電極間で短絡することなく確実な接続を行なうことができた。なお、本実施例においては、異方性導電シートの導体部分では、シートの露光部にドーピングされた導体と、基板上の配線材料との合金形成による接続であり、絶縁体部分ではポリシラン膜33の収縮による接続を利用したものである。

【0048】さらに、得られた半導体装置を、信頼性試験としての熱衝撃試験(−40℃/120℃、30分/30分、1000サイクル)に供したところ、不良は全く発生せず、極めて安定な電氣的接続が得られたことがわかった。

【0049】なお、上述の第2の実施例では、半導体ウェハ上に異方性導電シートを形成したが、同様の方法で回路基板上に形成することもできる。

【実施例3】図5に、本発明の第3の実施例にかかる異方性導電シートの製造工程を表わす断面図を示す。

【0050】まず、図5(a)に示すように、半導体ウェハ51の電極52を形成しておく。パッド電極52の大きさは20〜50 μ m角程度とすることができ、そのピッチは15〜40 μ m程度とすることができる。

【0051】次に、図5(b)に示すように、半導体ウェハ51の電極52を有する面に、スピナー等を用いて、前述の式(2)で表わされるポリシランのトルエン溶液を塗布して、2〜20 μ mの膜厚のポリシラン膜53を形成する。

【0052】続いて、図5(c)に示すように、マスク54を介して、例えば 5 J/cm^2 程度の露光量で紫外線による露光を行ない、ポリシラン膜53の露光部のみを多孔性物質であるポリシロキサン膜55に選択的に変化させる。なお、ここで用いられる露光マスク54は、予めウェハー上に形成されたパッド電極52に対応する大きさおよびピッチに対応するような開口部が形成されたものである。したがって、ポリシラン膜53には、半導体ウェハーの電極52に対応してポリシロキサン膜55が形成される。

【0053】その後、金、ニッケル、または銅等のメッキ液を用いて無電解メッキを行なうことによって、多孔性機能を有するポリシロキサン部分55は選択的にメッキされ、図5(d)に示すように、露光部である半導体ウェハーの電極52上の領域に、導体がドーピングされたポリシロキサン膜56が露光部に形成される。

【0054】以上の工程により、露光箇所だけを選択的に導体にするためのドーピングプロセスが完了し、図5(e)に示すような異方性導電シートが形成された半導体ウェハー57が得られる。

【0055】この半導体ウェハー57をダイシングして得られた半導体素子は、以下のようにして基板に実装することができる。図6を参照して、実装工程の一例を説明する。

【0056】まず、図6(a)に示すように、異方性導電シートが形成された半導体素子61と、配線が形成されたセラミック基板63とを容易する。ここで用いられる半導体素子61は、前述の図5に示す工程にしたがって得られた半導体ウェハーを 5 mm 角にダイシングして得られたものであり、 $30\text{ }\mu\text{m}$ のピッチでパッド電極52が形成されている。なお、パッド電極52上に形成されたポリシラン膜には、金無電解メッキによってドーピングを行なった。

【0057】一方、セラミック基板63上の金配線64は、スパッタ法を用いて $0.3\text{ }\mu\text{m}$ の膜厚で成膜した後、パターンングすることによって形成した。半導体素子と基板との接合に当たっては、半導体素子61側を 100°C に加熱するとともに、セラミック基板を 80°C に加熱し、1電極当たり 10 g の荷重をかけながら5秒間圧接することによって一度に全てのパッドを接続した。

【0058】その結果、接続において隣接する電極間で短絡することなく、確実な接続を行なうことができた。なお、本実施例における半導体素子と基板との接続は、異方性導電シートのポリシラン膜53の粘着力による接続である。

(実施例4) 本発明の異方性シートは、露光により生じたポリシロキサン部分に種々の材料をドーピングすることによって、駆動回路一体型表示素子に応用することもできる。

【0059】図7および8に、本発明の第4の実施例に

関わる異方性シートの製造工程を表わす断面図を示す。まず、7(a)に示すように、TFTアレイ無アルカリガラス配線基板71の表面にAl/Moからなる電極72、およびポリシラン膜73を順次形成する。なお、ポリシラン膜73は、前述の式(2)で表わされるポリシランのベンゼン溶液を、スピナー等を用いて塗布することによって $2\sim 20\text{ }\mu\text{m}$ の膜厚で形成することが好ましい。

【0060】次に、図7(b)に示すように、マスク74を介して、例えば 5 J/cm^2 程度の露光量で紫外線による露光を行ない、ポリシラン膜73の露光領域のみを多孔性物質であるポリシロキサン膜75に選択的に変化させる。

【0061】その後、ニクロム無電解メッキを行なうことによって、多孔性機能を有するポリシロキサンの部分75は選択的にメッキされ、図7(c)に示すようなニクロム抵抗体がドーピングされたポリシロキサン膜76が形成される。なお、このように抵抗体材料をドーピングすることが意図される場合には、露光部の大きさ、すなわちマスク74の開口部の大きさは、適宜選択することができるが、例えば、 $10\sim 50\text{ }\mu\text{m}$ 程度、もしくは $10\sim 50\text{ }\mu\text{m}$ 幅のライン状パターンとすることが好ましい。

【0062】これにより、露光箇所だけを選択的に抵抗体にするためのドーピングプロセスが完了する。なお、本方法により作製されたニクロム抵抗体76の面積抵抗値は $25\sim 300(\Omega/\square)$ 程度である。

【0063】続いて、図7(d)に示すようにマスク77を介して紫外線による露光を行ない、ポリシラン膜73の露光領域のみを多孔性物質であるポリシロキサン膜75に選択的に変化させる。

【0064】その後、金無電解メッキを行なうことによって、多孔性機能を有するポリシロキサン部分75が選択的にメッキされ、図8(a)に示すような金がドーピングされたポリシロキサン膜78が露光領域に形成される。なお、このように導体材料をドーピングすることが意図される場合には、露光部の大きさ、すなわちマスク77の開口部の大きさは、適宜選択することができるが、例えば、 $10\sim 50\text{ }\mu\text{m}$ 程度もしくは $10\sim 50\text{ }\mu\text{m}$ 幅のライン状パターンとすることが好ましい。

【0065】これによって、露光箇所だけを選択的に導体にするためのドーピングプロセスが完了する。この金ドーピングされたポリシロキサン膜78は、LSIとの接続用または配線として作用して回路を構成する。

【0066】なお、ガラス配線基板71の表面に配線パターンが予め形成されている場合には、その配線をメッキ電極として用いて電解メッキを行なうことによって配線を形成することも可能である。

【0067】本実施例においては、金電極は異方性導電シートとしてLSIとの接続のために用いられるが、場

合によっては、駆動用LSIを用いずに、TFTアレイ無アルカリガラス配線基板にポリシリコンが成膜された駆動用LSI一体型基板を使用することもできる。

【0068】次に、図8(b)に示すように、所定のマスク78を介して紫外線による露光を行なうことによって、ポリシラン膜の露光部のみの多孔性物質であるポリシロキサン膜75に選択的に変化させる。

【0069】その後、タンタルオキサイド(Ta_2O_5)の超微粒粉の四塩化炭素溶液を用いた電気泳動を行なうことによって、この超微粒粉は、多孔性機能を有するポリシロキサン部分75に選択的に取り込まれる。その結果、図8(c)に示すように、タンタルオキサイド(Ta_2O_5)誘電体がドーピングされたポリシロキサン膜80が露光部に形成される。このように誘電体材料をドーピングすることが意図される場合には、露光部の大きさ、すなわちマスク79の開口部の大きさは、適宜選択することができるが、例えば、 $10 \sim 100 \mu m$ 程度とすることが好ましい。

【0070】これにより、露光箇所だけを選択的に誘電体にするためのドーピングプロセスが完了する。なお、本方法によって作製されたタンタルオキサイド(Ta_2O_5)誘電体の比誘電率は20~30程度である。この実施例のように、機能物質が超微粒粉のような無機物の場合には、摩擦、攪拌等の方法で帯電させ、電気泳動で多孔質膜中に取り込ませることが最も簡単な方法である。

【0071】以上により、電気的異方性機能を有する接続部のみならず、駆動回路そのものも本発明により形成することが可能であり、コンデンサー素子や抵抗体素子などを組み込んだ回路基板、すなわち、駆動回路一体型液晶表示装置が形成される。この駆動回路部81の一例を表わす模式図および断面図は、それぞれ図9および図10に示すとおりである。

【0072】図10中、87はポリシランからなる絶縁層を表わし、この絶縁層上には、駆動用IC82が実装されている。86は、露光により生じたポリシロキサン部分に導体材料をドーピングすることによって形成された配線を表わし、84および85は、ポリシロキサン部分にそれぞれ抵抗体および誘電体をドーピングすることによって形成された抵抗体素子およびコンデンサである。

【0073】さらに、このような駆動回路を用いた一体型液晶表示装置の一例を、図11に模式的に示す。図11中、91は表示領域を表わし、92は駆動回路領域を表わす。この駆動回路領域92には、ニクロム抵抗体93、タンタルオキサイド誘電体94、およびドライバIC95が形成されている。なお、ドライバIC95は、Si-ICを前述のような異方性導電シートによって接合してもよく、あるいは、 α -Siをエキシマレーザーアニールによって多結晶化した駆動部としてもよい。また、表示領域91のカラーフィルターもポリシランで構

成することができ、この場合には、露光によって生じた多孔質のポリシロキサン部分に顔料等をドーピングすることによって作製される。

(実施例5) LSI素子を直接基板に実装するフリップチップ方式の実装においては、実装する前に予めLSI素子の良品、不良品を判別する試験(バーンイン試験やファンクション試験)を行なって、良品の素子(KG D: Known Good Die)のみを実装する必要がある。

【0074】本発明の異方性シートは、この判別試験の1つであるバーンイン試験に適用することもできる。図8には、本発明の異方性シートをマイクロコネクションシステムとして用いてバーンイン試験に適用した際の模式的断面図を示す。

【0075】図8中、99は異方性導電シートを表わし、前述の実施例4のように露光により生じたポリシロキサン部分に所定の材料をドーピングすることによって、配線部分、抵抗体部分および誘電体部分が形成されたものであり、さらに、未露光のポリシランからなる絶縁体部分を有している。具体的には、LSIの電極パッド98に対応する位置は、異方性導電シートの回路パターンが形成されており、異方性導電シートの部分がプロービング材料として用いられる。したがって、この異方性導電シートは、LSI検査用微細フレキシブル基板として作用する。

【0076】異方性導電シート99上に配置されたLSI97の検査に当たっては、図12に示すように、LSI97上に荷重機構96を有する評価装置を使用する。この際、LSIの電極パッド98には、バンパは形成されていなくてもよい。マイクロコネクション配線基板は、有機ポリシラン、ポリシロキサン材料であるので、クッション材としての機能も有しており、接触抵抗の小さい検査方法を提供することができる。

【0077】このように、異方性導電シートを用いることによって、LSIのバーンイン検査を容易に行なうことが可能となった。

(実施例6) 本発明の異方性シートは、露光により生じた多孔性機能を有するポリシロキサン領域に強磁性材料をドーピングすることによって、半導体素子と基板との位置合わせシートとして使用することも可能である。

【0078】強磁性材料としては、例えば、鉄、コバルト、ニッケル、カドミウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、およびツリウム等の強磁性を示す元素が挙げられるが、そのキュリー点温度が比較的低いニッケル(キュリー点温度631K)が最も好ましい。ニッケルを用いると、熱圧着等のキュリー点温度以上のICボンディングが可能であり、しかもニッケルは熱圧着後に常磁性体となって自発磁化は消失するので、ICに対する電磁気的な影響は皆無となる。加えて、ニッケルは、工業的にもよく用いられている材料で

あるためコスト的にも有利である。

【0079】本発明のポリシランを用いた位置合わせシートの製造工程を表わす断面図を図13に示す。半導体ウェハ102の表面には、予め電気メッキ法等によって30 μ m程度のピッチで、金バンプ103を形成しておく。

【0080】この半導体ウェハ102のバンプ103を有する面に、スピナー等を用いて、前述の式(2)で表わされるポリシランの四塩化炭素溶液を塗布して、図13(a)に示すように、2~20 μ mの膜厚ポリシラン膜104を形成する。

【0081】続いて、図13(b)に示すように、マスク107を介して、例えば10J/cm²程度の露光量で紫外線による露光を行ない、ポリシラン膜104の露光部のみを選択的に多孔性物質であるポリシロキサン膜105に変化させる。なお、ここで用いられるマスク107の開口部の寸法等は適宜選択することができるが、前述のバンプ103より外側に、10~100 μ m程度で形成することが好ましい。

【0082】その後、ニッケルのメッキ液を用いた無電解メッキを行なうことによって、多孔性機能を有するポリシロキサン部分105は選択的にメッキされ、図13(c)に示すような強磁性体がドーピングされたポリシロキサン膜106が形成される。なお、ドーピングに当たっては、ニッケル電解メッキ法、およびニッケル微粒粉転写法等を用いてもよい。

【0083】以上の工程により、露光箇所だけを選択的に強磁性体にするためのドーピングプロセスが完了し、このドーピングされた領域が位置合わせパターンとして用いられる。

【0084】さらに、図13と同様の工程によって、図14に示すように回路基板108にも位置合わせパターン110を形成する。この場合、半導体ウェハ上に形成されたパターン106と同等の位置および寸法で形成すべきであることはいうまでもない。

【0085】前述の図13の工程で得られた半導体ウェハをダイシングして得られた半導体素子は、以下のようにして基板に実装することができる。図15を参照して、実装方法の一例を説明する。

【0086】図15に示す半導体素子111は、前述の図13の工程にしたがって位置合わせパターンが形成された半導体ウェハを5mm角にダイシングして得られたものであり、30 μ mのピッチで金バンプ103が形成されている。

【0087】一方、セラミックス基板108上には、金配線109をスパッタ法によって形成した後、半導体ウェハの場合と同様の工程で位置合わせパターン110を形成した。

【0088】半導体素子と基板との接合に当たっては、まず、外部磁場をかけて半導体素子側の位置合わせパ

ターン106と、回路基板側の位置合わせパターン110とを磁氣的吸引力を利用して位置合わせおよび仮接合を行なった。

【0089】次に、半導体素子111側を400℃に加熱するとともに、セラミックス基板108側を80℃に加熱し、1電極当たり10gの荷重をかけながら5秒間圧接することによって、全てのパッドを一度に接続した。

【0090】この接合は、半導体素子の金バンプ103およびセラミックス基板上の金配線109の金同士の熱圧着によるものである。位置合わせ用パターン106および110内の強磁性体であるニッケルは、キュリー点温度以上に加熱することによって常磁性体となるので、自発磁化は消滅する。これによって、ICに対する電磁氣的な影響は皆無となる。

【0091】なお、接合の結果、隣接する電極間での短絡は発生せず、確実な接合を行なうことができ、信頼性的にも問題はなかった。本接合では、金同士の熱圧着によってICのリペアは容易に行なうことはできないが、仮接合時には、磁氣的吸引力によって電氣的かつ機械的に接続されているので容易にICのリペアを行なうことができる。

【0092】このように、本発明のポリシロキサンを用いた異方性シートは、露光箇所のみが強磁性体をドーピングすることによって、微細な位置合わせパターンを設けることが可能となる。また、位置合わせ精度が荒いボンダを用いても正確な接合を行なうことが可能となる。また、仮接合後に本接合を行なう工程により、半導体装置のリペアを容易に行なうことができる。

【0093】

【発明の効果】以上詳述したように、本発明によれば、所定の領域に電氣的特性および磁氣的特性を選択的に付与した異方性シートが提供される。特に、本発明の異方性シートは、ポリシラン膜に紫外線を照射することによって生じたポリシロキサン部分を利用しているので、非常に微細なピッチでポリシラン膜に所望の特性を付与することができる。例えば、ポリシロキサン部分に導電性材料をドーピングした場合には、30 μ m以下の微細なピッチで電極が形成された半導体素子を、基板上に精度よく接合することが可能な異方性導電シートが得られる。

【0094】また、本発明の異方性シートは、電氣的異方性機能を有する接続部のみならず、駆動回路そのものも本発明により形成することが可能である。すなわち、コンデンサ素子や抵抗体素子および磁性体素子などを組み込んだ回路基板を作製することで、大幅なコスト削減、工程数の減少、および実装面積低減を図ることができる。これによって、駆動回路一体型表示装置を可能となった。

【0095】さらに、露光により生じたポリシロキサン部分に強磁性体をドーピングすることによって、半導体

素子と基板との正確に位置合わせするためのシートを形成することができる。本発明のポリシロキサンを含む異方性シートは、半導体素子の基板上への実装用、および駆動回路一体型液晶表示装置として有効である。

【図面の簡単な説明】

【図1】本発明の異方性導電シートの一例の製造工程を示す断面図。

【図2】本発明の異方性導電シートを用いた半導体素子の実装工程の一例を示す断面図。

【図3】本発明の異方性導電シートの他の例の製造工程を示す断面図。

【図4】本発明の異方性導電シートを用いた半導体素子の実装工程の他の例を示す断面図。

【図5】本発明の異方性導電シートの他の例の製造工程を示す断面図。

【図6】本発明の異方性導電シートを用いた半導体素子の実装工程の他の例を示す断面図。

【図7】本発明の異方性シートを用いた駆動回路一体型表示装置の製造工程を示す断面図。

【図8】本発明の異方性シートを用いた駆動回路一体型表示装置の製造工程を示す断面図。

【図9】本発明の異方性シートを用いた駆動回路領域を表わす模式図。

【図10】本発明の異方性シートを用いた駆動回路領域の断面図。

【図11】本発明の異方性シートを用いた駆動回路一体型液晶表示装置の一例を表わす模式図。

【図12】本発明の異方性シートを用いたバーニン検査装置の断面図。

【図13】本発明の異方性シートを用いた位置合わせパターンの製造工程を示す断面図。

【図14】本発明の異方性シートを用いた位置合わせパターンの他の例を示す断面図。

【図15】本発明の異方性シートを用いた半導体素子の実装方法の一例を示す断面図。

【図16】従来の半導体素子の接続部を示す断面図。

【図17】従来の液晶表示装置の一例を示す模式図。

【図18】従来のCOG実装の一例を示す断面図。

【符号の説明】

11…ポリエステルフィルム、12…銅膜、13…ポリシラン膜

14…マスク、15…ポリシロキサン膜

16…ドーブされたポリシロキサン膜、17…異方性導電シート

21…半導体素子、22…パッド電極、23…回路基板、24…銅配線

31…半導体ウェハ、32…パッド電極、33…ポリシラン膜

34…透明導電膜、35…マスク、36…ポリシロキサ

ン膜

37…ドーブされたポリシロキサン膜、38…半導体ウェハ

41…半導体素子、42…パッド電極、43…ガラス基板、44…配線

51…半導体ウェハ、52…パッド電極、53…ポリシラン膜

54…マスク、55…ポリシロキサン膜

56…ドーブされたポリシロキサン膜、57…半導体ウェハ

61…半導体素子、63…基板、64…配線、71…ガラス基板、72…配線

73…ポリシラン膜、74…マスク、75…ポリシロキサン領域

76…ニクロムドーブされたポリシロキサン膜、77…マスク

78…金ドーブされたポリシロキサン膜、79…マスク

80…誘電体がドーブされたポリシロキサン膜、81…駆動回路部

82…ICチップ、83…コイル、84…抵抗体、85…コンデンサ

86…配線、87…絶縁膜、90…駆動回路一体型液晶表示装置

91…表示領域、92…駆動回路領域、93…ニクロム抵抗体

94…タンタルオキサイド誘電体、95…ドライバIC、96…荷重機構

97…半導体素子、98…電極、99…マイクロコネクショ配線基板

100…基板、102…半導体ウェハ、103…Auバンパ

104…ポリシラン膜、105…ポリシロキサン膜

106…強磁性体がドーブされたポリシロキサン膜、107…マスク

108…セラミックス基板、109…金配線、110…位置合わせパターン

111…半導体素子、112…ボンディングヘッド

120…ガラス基板、121…配線、123…半導体素子、124…電極

125…バンパ、126…接着剤、127…導電性粒子

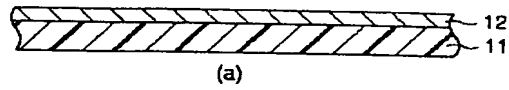
130…駆動用プリント基板、131…コンデンサ素子、132…抵抗体

133…駆動用IC、134…コイル、135…フレキシブル配線基板

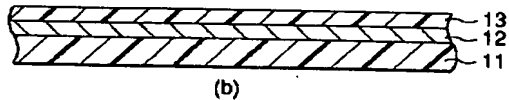
136…液晶パネル基板、137…表示領域、138…配線、140…基板

141…配線、142…半導体素子、143…はんだバンパ。

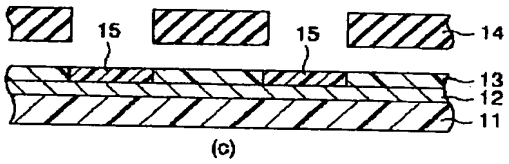
【図1】



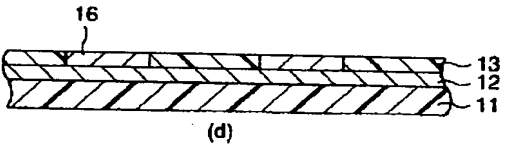
(a)



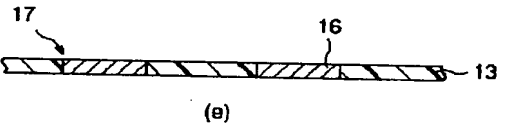
(b)



(c)

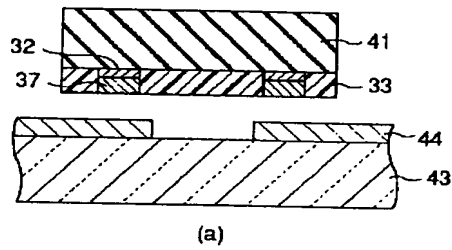


(d)

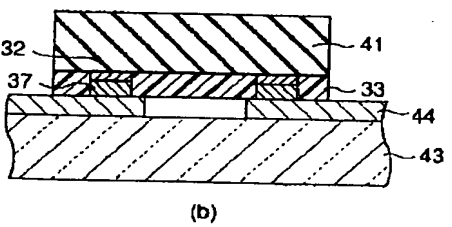


(e)

【図4】

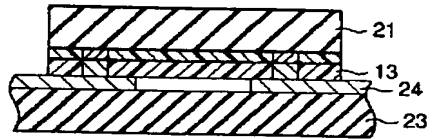
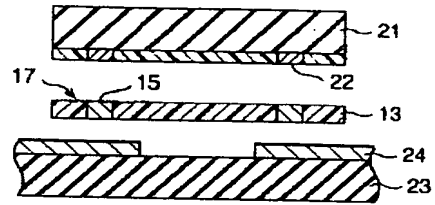


(a)

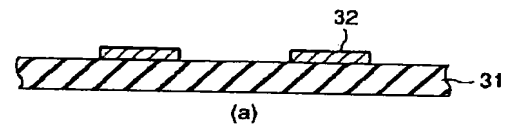


(b)

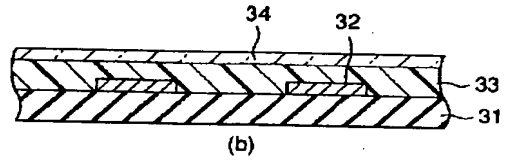
【図2】



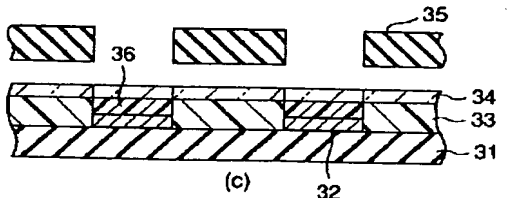
【図3】



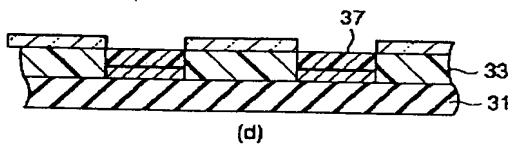
(a)



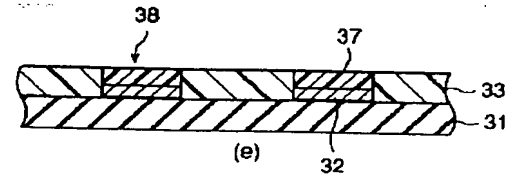
(b)



(c)

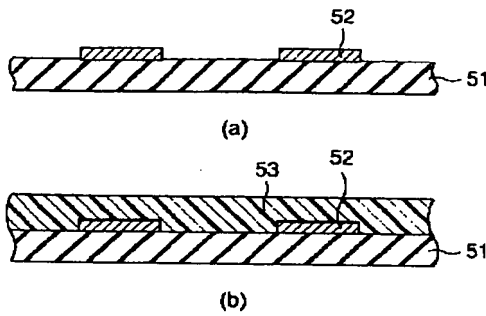


(d)

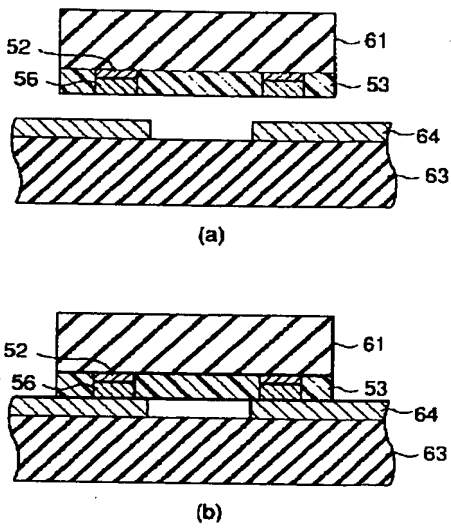


(e)

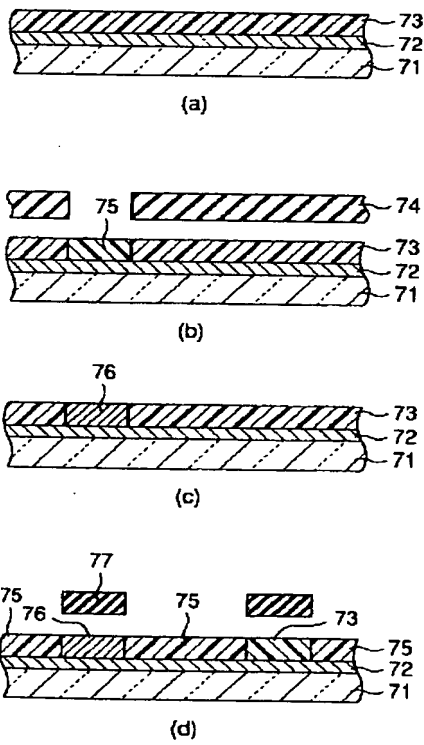
【図5】



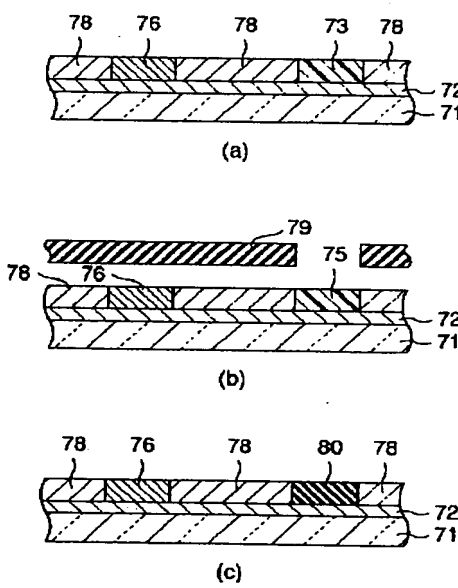
【図6】



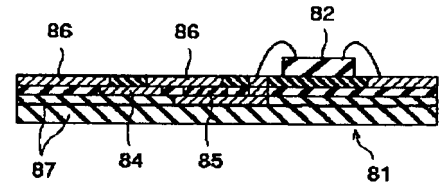
【図7】



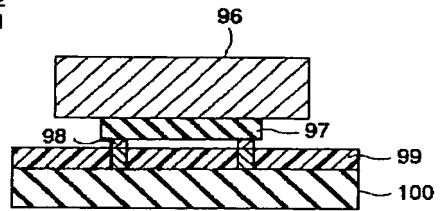
【図8】



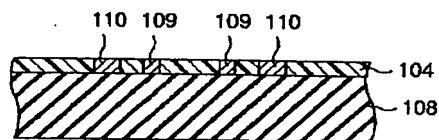
【図10】



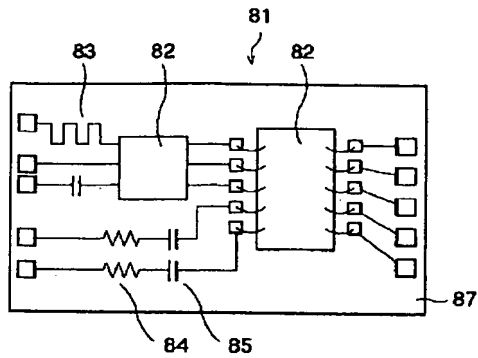
【図12】



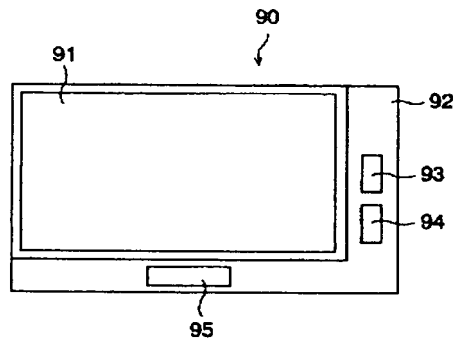
【図14】



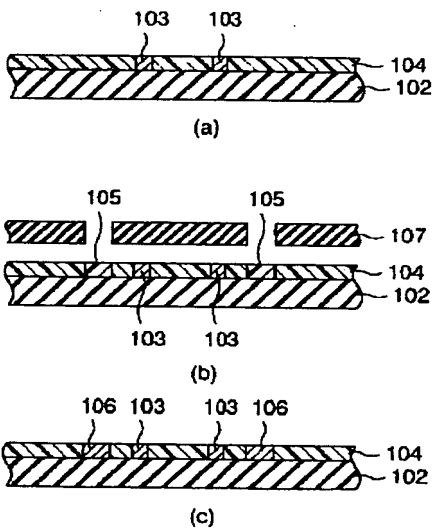
【図9】



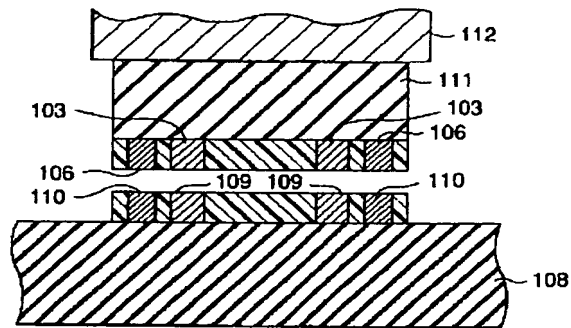
【図11】



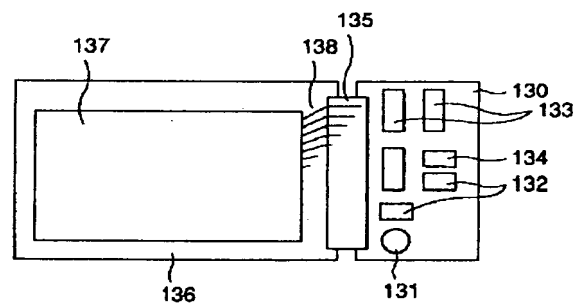
【図13】



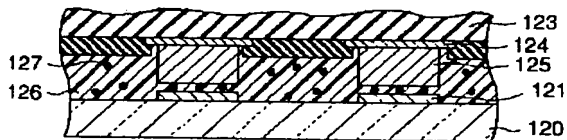
【図15】



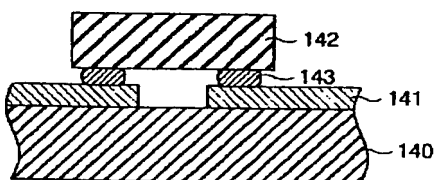
【図17】



【図16】



【図18】



フロントページの続き

(72)発明者 清水 征三郎

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72)発明者 真島 豊

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.